

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-211022

(43)Date of publication of application : 15.08.1997

(51)Int.Cl. G01P 15/125
G01P 15/13
H01L 29/84

(21)Application number : 08-019192

(71)Applicant : DENSO CORP

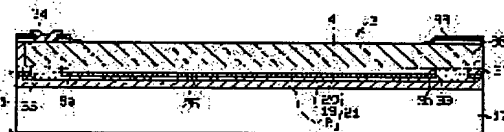
(22)Date of filing : 05.02.1996

(72)Inventor : YAMAMOTO TOSHIMASA
AO KENICHI
TAKEUCHI YUKIHIRO

(54) SEMICONDUCTOR DYNAMIC VOLUME SENSOR AND ITS MANUFACTURE**(57)Abstract:**

PROBLEM TO BE SOLVED: To suppress leak current to improve reliability.

SOLUTION: Beam structures are placed at positions with predetermined distances on an upper face of a substrate and have movable electrodes. Fixed electrodes 9a to 9d and 11a to 11d are placed oppositely to sides of the movable electrodes, while lower electrodes are formed in a region opposite to the beam structures on the upper face of the substrate 1. A laminate comprising a lower layer insulator film, a conductive film and an upper layer insulator film is placed on the upper face of the substrate 1, a wiring pattern 22 of the fixed electrodes 9a to 9d and 11a to 11d is formed of the conductive film, and also the lower electrode is formed of the conductive film. The wiring pattern 22 and the fixed electrodes 9a, 9b, 11c, 11d are electrically connected through an opening 30 and an anchor 28a of the fixed electrodes 9a to 9d and 11a to 11d, while the lower electrode and the beam structures are electrically connected through the opening on the upper layer insulator film and anchors of the beam structures.

**LEGAL STATUS**

[Date of request for examination] 27.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3430771

[Date of registration] 23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

【物件名】

甲第 4 号証

【添付書類】

2!  335

甲第 4 号証

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-211022

(43) 公開日 平成 9 年 (1997) 8 月 15 日

(51) Int. Cl. *	識別記号	庁内整理番号	F I	技術表示箇所
G O I P	15/125		G O I P	15/125
	15/13			15/13
H O I L	29/84		H O I L	29/84 Z

審査請求 未請求 請求項の数 9

O L

(全 21 頁)

(21) 出願番号 特願平 8-19192

(22) 出願日 平成 8 年 (1996) 2 月 5 日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町 1 丁目 1 番地

(72) 発明者 山本 敏雅

愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内

(72) 発明者 青 達一

愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内

(72) 発明者 竹内 幸裕

愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内

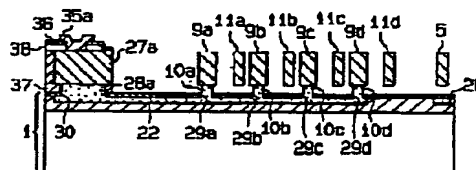
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体力学量センサとその製造方法

(67) 【要約】

【課題】 リーク電流を抑制して信頼性の高い半導体力学量センサを提供する。

【解決手段】 梁構造体は基板 1 の上面において所定間隔を隔てた位置に配置され、可動電極を有する。固定電極 9a~9d, 11a~11d は可動電極の側面に対向して配置され、基板 1 の上面部における梁構造体と対向する領域に下部電極が形成されている。基板 1 の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体が配置され、導電性薄膜により固定電極の配線パターン 22 が形成されるとともに導電性薄膜による下部電極が形成され、開口部 30 および固定電極のアンカー部 28a を通して配線パターン 22 と固定電極 9a, 9b, 11c, 11d が電気的に接続され、上層側絶縁体薄膜における開口部および梁構造体のアンカー部を通して下部電極と梁構造体とが電気的に接続されている。



(2)

特開平9-211022

1

【特許請求の範囲】

【請求項1】 基板と、

単結晶半導体材料よりなり、前記基板の上面において所定間隔を隔てた位置に配置され、力学量により変位する作用力を受ける梁構造体と、

前記基板の上面に固定され、前記梁構造体の少なくともその一部に対向して配置された固定電極とを備えた半導体力学量センサであって、

前記基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、前記導電性薄膜により配線または電極を形成し、当該配線または電極を、前記上層側絶縁体薄膜に形成した開口部を通して前記基板の上に配置した電気接続部材に対し電気的に接続したことを特徴とする半導体力学量センサ。

【請求項2】 基板と、

単結晶半導体材料よりなり、前記基板の上面において所定間隔を隔てた位置に配置され、互いに平行に延びる可動電極を有する梁構造体と、

前記基板の上面に固定され、前記各可動電極の一方の側面にそれぞれ対向して配置された第1の固定電極と、前記基板の上面に固定され、前記各可動電極の他方の側面にそれぞれ対向して配置された第2の固定電極とを備え、

前記梁構造体の可動電極と前記第1の固定電極とにより第1のコンデンサが形成されるとともに、前記梁構造体の可動電極と前記第2の固定電極とにより第2のコンデンサが形成された半導体力学量センサであって、

前記基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、前記導電性薄膜により前記第1の固定電極の配線パターンと前記第2の固定電極の配線パターンの内の少なくともいずれか一方の配線パターンを形成し、上層側絶縁体薄膜における開口部および前記固定電極のアンカー部を通して前記第1または第2の固定電極用配線パターンと前記第1または第2の固定電極を電気的に接続したことを特徴とする半導体力学量センサ。

【請求項3】 基板と、

単結晶半導体材料よりなり、前記基板の上面において所定間隔を隔てた位置に配置され、互いに平行に延びる可動電極を有する梁構造体と、

前記基板の上面に固定され、前記各可動電極の一方の側面にそれぞれ対向して配置された第1の固定電極と、前記基板の上面に固定され、前記各可動電極の他方の側面にそれぞれ対向して配置された第2の固定電極と前記基板の上面部における前記梁構造体と対向する領域に形成された静電気力相殺用固定電極とを備え、

前記梁構造体の可動電極と前記第1の固定電極との間に形成された第1のコンデンサの容量、および、前記梁構造体の可動電極と前記第2の固定電極との間に形成された第2のコンデンサの容量に基づいて前記梁構造体を作

2

用する力学量を検出するとともに、前記梁構造体と前記静電気力相殺用固定電極とを等電位にすることにより前記梁構造体と前記基板との間に生じる静電気力を相殺するようにした差動容量型半導体力学量センサであって、前記基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、前記導電性薄膜により前記第1の固定電極の配線パターンと前記第2の固定電極の配線パターンの内の少なくともいずれか一方の配線パターンを形成するとともに導電性薄膜による前記静電気力相殺用固定電極を形成し、上層側絶縁体薄膜における開口部および前記第1または第2の固定電極のアンカー部を通して前記第1または第2の固定電極の配線パターンと前記第1または第2の固定電極を電気的に接続し、さらに、上層側絶縁体薄膜における開口部および梁構造体のアンカー部を通して静電気力相殺用固定電極と梁構造体とを電気的に接続したことを特徴とする半導体力学量センサ。

【請求項4】 基板と、

単結晶半導体材料よりなり、前記基板の上面において所定間隔を隔てた位置に配置され、一側面に第1の可動電極を有するとともに他側面に第2の可動電極を有する梁構造体と、

前記基板の上面に固定され、前記第1の可動電極に対向して配置された第1の励振用固定電極と、

前記基板の上面に固定され、前記第2の可動電極に対向して配置された第2の励振用固定電極と、

前記基板の上面部において前記梁構造体の少なくともその一部と対向する領域に形成された力学量検出用固定電極とを備え、

前記梁構造体の第1の可動電極と前記第1の励振用固定電極との間、および、前記梁構造体の第2の可動電極と前記第2の励振用固定電極との間に逆相の静電気力を加えて前記梁構造体を強制振動させつつ前記梁構造体と前記力学量検出用固定電極との間に形成されるコンデンサの容量に基づいて前記梁構造体に作用する力学量を検出するようにした半導体力学量センサであって、

前記基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、前記導電性薄膜により前記力学量検出用固定電極および前記力学量検出用固定電極の配線パターンを形成し、上層側絶縁体薄膜における開口部から前記配線パターンを通して前記力学量検出用固定電極を前記基板の上の電気接続部材に対し電気的に接続したことを特徴とする半導体力学量センサ。

【請求項5】 前記梁構造体は、単結晶シリコンよりなる請求項1～4のいずれか1項に記載の半導体力学量センサ。

【請求項6】 前記導電性薄膜として、ポリシリコン薄膜を用いた請求項1～4のいずれか1項に記載の半導体力学量センサ。

50

3

【請求項7】 前記第1のコンデンサと第2のコンデンサにおいて、力学量の作用による変位に対して、可動電極が変位しないように第1と第2のコンデンサを形成している固定電極の電圧を制御し、その電圧の変化で力学量を検出するようにした請求項2または3に記載の半導体力学量センサ。

【請求項8】 第1の半導体基板上に、犠牲層用薄膜および第1の絶縁体薄膜を積層する第1工程と、前記犠牲層用薄膜と第1の絶縁体薄膜との積層体におけるアンカー部形成領域を開口する第2工程と、前記開口部を含む前記第1の絶縁体薄膜上の所定領域に導電性薄膜を形成する第3工程と、前記導電性薄膜の上を含む前記第1の絶縁体薄膜上に第2の絶縁体薄膜を形成する第4工程と、前記第2の絶縁体薄膜上に貼合用薄膜を形成するとともに、当該貼合用薄膜の表面の平坦化を行う第5工程と、前記貼合用薄膜の表面と第2の半導体基板とを貼り合わせる第6工程と、前記第1の半導体基板を所望の厚さまで研磨する第7工程と、前記第1の半導体基板における不要領域を除去して所望の形状にする第8工程と、エッチング液を用いたエッチングにより所定領域の前記犠牲層用薄膜を除去して前記第1の半導体基板を可動構造とする第9工程とを備えたことを特徴とした半導体力学量センサの製造方法。

【請求項9】 第1の半導体基板における所定領域に溝を形成する第1工程と、前記溝を含む前記第1の半導体基板上に、犠牲層用薄膜および第1の絶縁体薄膜を積層する第2工程と、前記犠牲層用薄膜と第1の絶縁体薄膜との積層体におけるアンカー部形成領域を開口する第3工程と、前記開口部を含む前記第1の絶縁体薄膜上の所定領域に導電性薄膜を形成する第4工程と、前記導電性薄膜の上を含む前記第1の絶縁体薄膜上に第2の絶縁体薄膜を形成する第5工程と、前記第2の絶縁体薄膜上に貼合用薄膜を形成するとともに、当該貼合用薄膜の表面の平坦化を行う第6工程と、前記貼合用薄膜の表面と第2の半導体基板とを貼り合わせる第7工程と、前記第1の半導体基板を所望の厚さまで研磨する第8工程と、エッチング液を用いたエッチングにより所定領域の前記犠牲層用薄膜を除去して前記第1の半導体基板を可動構造とする第9工程とを備えたことを特徴とした半導体力学量センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、梁構造の可動部を有する半導体力学量センサに係り、例えば、加速度、

(3)

特開平9-211022

4

ヨーレート、振動等の力学量を検出するための半導体力学量センサとその製造方法に関するものである。

【0002】

【従来の技術】 一般に、加速度センサ等の力学量センサの基本原理は、たわみ梁と呼ばれる梁を用いて梁に連結した質量部（マス部）に力学量が作用した際の変位または力を測定することである。

【0003】 近年、自動車のサスペンション制御、エアバッグ用等に用いられる加速度センサ等の力学量センサの小型化、低価格化の要望が高まっている。このため、特公平6-44008号公報にて、電極を有する梁構造体としてポリシリコンを用いた差動容量式半導体加速度センサが示されている。この種のセンサを図34、35、36を用いて説明する。図34にセンサの平面図を示すとともに、図35に図34におけるXXXV-XXXV断面図を、図36に図34におけるXXXVI-XXXVI断面図を示す。

【0004】 シリコン基板130の上において、アンカー部131から梁132が延び、この梁132にマス133が支持され、さらに、マス133から可動電極134が突設されている。一方、シリコン基板130の上には1つの可動電極134に対し2つの固定電極135a、135bが対向するように配置されている。この可動電極134と固定電極135a、135bとにより静電容量を形成し、サーボ動作を行う。アンカー部131と梁132とマス133と可動電極134とはポリシリコンで形成されており、又、マス133と可動電極134とはシリコン基板130より所定の間隔を隔てて配置されている。さらに、固定電極135a、135bは端部のアンカー部136において基板130に固定されている。これらは、シリコン基板130上に表面マイクロマシニング技術を用いて形成したものである。

【0005】 検出原理を図35を用いて説明する。可動電極134は両側の固定電極135aと135bの中心にあり、可動電極134と固定電極135a、135b間の静電容量C1、C2は等しい。又、可動電極134と固定電極135a、135b間には電圧V1、V2が印加されており、加速度が生じていないときにはV1=V2であり、可動電極134は固定電極135aと135bから等しい静電気力で引かれている。ここで、加速度が基板表面に平行な方向に作用し、可動電極134が変位すると可動電極134と固定電極135a、135bとの間の距離が変わり静電容量C1、C2が等しくなくなる。このときに静電容量が等しくなるように、例えば可動電極134が固定電極135a側に変位したとすると、電圧V1が下がり、電圧V2が上がる。これにより静電気力で固定電極135b側に可動電極134は引かれる。可動電極134が中心位置となり静電容量C1、C2が等しくなれば、加速度と静電気力が等しく釣り合っており、このときの電圧V1、V2から加速度の

5

大きさを求めることができる。

【0006】製造は、図37、38に示す工程にて行う。図37に示すように、シリコン基板137上に犠牲層（シリコン酸化膜）138を堆積するとともに所定領域に開口部139を設ける。そして、この開口部139を含む犠牲層138の上にポリシリコン薄膜140を堆積するとともにポリシリコン薄膜140を所定の形状にパターニングする。さらに、図38に示すように、犠牲層138をエッチング除去してエアギャップ141を形成しポリシリコン薄膜140よりなる梁構造体とする。

【0007】ここで、特公平6-44008号公報に示された加速度センサにおいては、この梁構造体に用いる材料として多結晶シリコン薄膜を用いている。しかしながら、このような多結晶シリコンについては、その機械的物性値が未知であり、単結晶シリコンに比べ機械的信頼性に欠けるという問題がある。又、単結晶シリコン基板上のシリコン酸化膜上に多結晶シリコンを形成する際に発生する内部応力や応力分布による梁構造体の反りの問題が存在する。これらの問題により梁構造体の作成が困難になったりセンサのパネ定数が変化してしまうといった問題が発生している。

【0008】これに対して、SOI (Silicon on Insulator) 基板を用いて梁構造体として単結晶シリコンを用い、これにより機械的信頼性を向上させることができる。この種のセンサを図39、40、41を用いて説明する。図39にセンサの平面図を示すとともに、図40に図39におけるXXXX-XXXX断面図を、図41に図39におけるXXXXI-XXXXI 断面図を示す。

【0009】この加速度センサは可撓性ビーム145によって固定支持体146に振動質量体147が接合され、振動質量体147が移動することができる。振動質量体147はリンをドーピングした単結晶シリコンよりなる。固定支持体146は基板148の上において電気的に絶縁された状態で固着されている。振動質量体147は、互いに平行な方向に延びる可動電極149を備えている。これら部材145、146、147、149により梁構造体150が構成されている。又、可動電極149に対向して固定電極151、152が配置され、可動電極149と固定電極151、152との間に静電容量を形成している。そして、前記ビーム145が基板148の表面に平行な方向（図39中のY軸方向）に変位すると可動電極149が変位し、これにより静電容量が変化する。

【0010】次に、この加速度センサの製造方法を、図42～図46を用いて説明する。まず、図42に示すように、基板148上にS I M O X層を形成するために、酸素イオン (O^+ または O_2^+) を単結晶シリコン基板148に対し100 keV～1000 keVで 10^{16} ～ 10^{18} dose/cm²注入し、1150℃～1400℃で熱処理する。これによりシリコン酸化膜層153の厚さが4

(4)

特開平9-211022

6

00 nm程度、表面シリコン層154の厚さが150 nm程度のSOI基板が形成される。その後、図43に示すように、フォトリソグラフィを経てシリコン層154及びシリコン酸化膜層153の一部をエッチングする。さらに、図44に示すように、エピタキシャル成長により単結晶シリコン層155を1 μm～100 μm（通常10～20 μm）を成膜する。次いで、図45に示すように、測定回路との接続のための金属からなる電極156を成膜した後、フォトリソグラフィを経て所定の電極形状にする。さらに、図46に示すように、シリコン層155に対し反応性気相ドライエッチング等を行い固定電極151、152、可動電極149等を形成する。最後に、HF等による液相エッチングより酸化膜層153をエッチング除去して梁構造体を可動とする。

【0011】

【発明が解決しようとする課題】しかしながら、SOI基板を用いて、特公平6-44008号公報に示されているセンサのようにサーボ制御を行わせようとすると、第1の固定電極用通電ラインと第2の固定電極用通電ラインを交差させるためにシリコン基板に不純物拡散層による配線を行うことになる。つまり、図47、48に示すように、シリコン基板160の上方において平行に延びる棒状電極部157aを有する櫛歯状の可動部157を配置するとともに、シリコン基板160上に第1の固定電極158と第2の固定電極159とを配置し、可動部157の各棒状電極部157aの一方の側面に第1の固定電極158を対向させ、又、各棒状電極部157aの他方の側面に第2の固定電極159を対向させる。さらに、各固定電極159を基板160の上面にて接続するとともに（櫛歯形状の電極とするとともに）、シリコン基板160の表層部に形成した不純物拡散層161にて各固定電極158を電気的に接続することになる。しかし、この場合、不純物拡散層161の形成部においてリーク電流が発生して正確なる加速度検出を行うことが困難となる。特に、高温雰囲気下においてはリーク電流等の影響を受けやすい。

【0012】又、絶縁体には通常シリコン酸化膜が用いられるが、梁構造体を可動にするための犠牲層エッチング工程においてシリコン酸化膜を除去する際に横方向のエッチング量を制御することは困難であり、そのため、梁構造体のビームの長さは犠牲層エッチング時間によって異なるため、梁構造体のパネ定数がばらつくことになる。即ち、犠牲層となるシリコン酸化膜の一部領域をアンカー部として残す場合において、エッチング液の濃度や温度を正確に一定に保つことは難しく、また、エッチングの終了を正確に時間管理することも難しく、ビーム（梁）を所望の形状に加工することが困難であった。

【0013】そこで、この発明の目的は、基板の上に梁構造体を形成し、かつ基板側に配線または電極を配置した半導体力学量センサにおいて、リーク電流を抑制して

50

(5)

特開平9-211022

7

信頼性の高いものとする。特に、対をなす第1、第2の固定電極を複数有し、かつ半導体基板の上に単結晶材料による梁構造体を形成した半導体力学量センサにおいて、リーク電流を抑制して信頼性の高いものにする。又、この構造の半導体力学量センサにおけるパネ定数のバラツキのないものとするができるようにする。

【0014】

【課題を解決するための手段】請求項1に記載の発明は、基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、導電性薄膜により配線または電極を形成し、上層側絶縁体薄膜に形成した開口部を通して基板の上に配置した電気接続部材に対し電氣的に接続したことを特徴とする。このように、基板の上面部に絶縁膜を配置し、その中に薄膜の配線または電極を埋設して、基板側の配線または電極として埋め込みの薄膜（例えばポリシリコン層）を用いたSOI基板（埋め込みSOI基板）としている。この構造を用いることで、絶縁体分離による配線または電極を形成でき、図48に示す不純物拡散層161を用いた場合（pn接合分離による場合）に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。このようにしてリーク電流を抑制して信頼性向上が図られる。

【0015】請求項2に記載の発明は、基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、導電性薄膜により第1の固定電極の配線パターンと第2の固定電極の配線パターンの内の少なくともいずれか一方の配線パターンを形成し、上層側絶縁体薄膜における開口部および固定電極のアンカー部を通して第1または第2の固定電極用配線パターンと第1または第2の固定電極を電氣的に接続したことを特徴としている。このように、基板の上面部に絶縁膜を配置し、その中に薄膜の配線パターンを埋設し、この配線パターンを用いて第1の固定電極用通電ラインと第2の固定電極用通電ラインを交差させることができる。

【0016】このように、基板側の配線として埋め込みの薄膜（例えばポリシリコン層）を用いたSOI基板（埋め込みSOI基板）を用いることで、絶縁体分離による配線を形成できる。よって、絶縁体薄膜で分離された導電性薄膜を形成でき、これによって、図48に示す不純物拡散層161を用いた場合（pn接合分離による場合）に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。このようにしてリーク電流を抑制して信頼性向上が図られる。

【0017】請求項3に記載の発明は、基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、導電性薄膜により第1の固定電極の配線パターンと第2の固定電極の配線パターンの内の少なくともいずれか一方の配線パターンを形成すると

8

もに導電性薄膜による静電気力相殺用固定電極を形成し、上層側絶縁体薄膜における開口部および第1または第2の固定電極のアンカー部を通して第1または第2の固定電極の配線パターンと第1または第2の固定電極を電氣的に接続し、さらに、上層側絶縁体薄膜における開口部および梁構造体のアンカー部を通して静電気力相殺用固定電極と梁構造体とを電氣的に接続したことを特徴としている。このように、基板の上面部に絶縁膜を配置し、その中に薄膜の配線パターンおよび静電気力相殺用固定電極を埋設し、この配線パターンを用いて第1の固定電極用通電ラインと第2の固定電極用通電ラインを交差させることができるとともに、可動部と静電気力相殺用固定電極とを等電位にして梁構造体と基板との間に生じる静電気力を相殺することができ、梁構造体と基板間のわずかな電位差による梁構造体（可動部）の基板への付着を防止することができる。

【0018】このように、基板側の配線または電極として埋め込みの薄膜（例えばポリシリコン層）を用いたSOI基板（埋め込みSOI基板）を用いることで、絶縁体分離による配線または電極を形成できる。

【0019】請求項4に記載の発明は、基板の上面部に、下層側絶縁体薄膜と導電性薄膜と上層側絶縁体薄膜との積層体を配置し、導電性薄膜により力学量検出用固定電極および力学量検出用固定電極の配線パターンを形成し、上層側絶縁体薄膜における開口部から配線パターンを通して力学量検出用固定電極を基板の上の電気接続部材に対し電氣的に接続したことを特徴としている。このように、基板の上面部に絶縁膜を配置し、その中に薄膜の力学量検出用固定電極および力学量検出用固定電極の配線パターンを埋設することにより、絶縁体分離による配線を形成でき、図48に示す不純物拡散層161を用いた場合（pn接合分離による場合）に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。

【0020】このように、基板側の力学量検出用固定電極およびその配線として埋め込みの薄膜（例えばポリシリコン層）を用いたSOI基板（埋め込みSOI基板）を用いることで、絶縁体分離による電極およびその配線を形成できる。

【0021】請求項5に記載の発明によれば、梁構造体の材料としてヤング率等の物性値が既知で脆性材料である単結晶シリコンを用いるため梁構造体の信頼性を高くすることができる。

【0022】請求項6に記載の発明によれば、導電性薄膜としてポリシリコン薄膜を用いて絶縁体薄膜で周囲を分離することによりpn接合分離の場合のような高温域でのリーク電流等の影響をより小さくすることができる。

【0023】請求項7に記載の発明によれば、サーボ制御を用いることにより、力学量の作用による梁構造体の変位を最小限に抑えることができ、従って、半導体力学量

9

センサの信頼性を高めることができる。

【0024】請求項8、9に記載の発明によれば、請求項1～4に記載の半導体力量センサを容易に製造することができる。詳しくは、請求項8において、第1工程により、第1の半導体基板上に、犠牲層用薄膜および第1の絶縁体薄膜が積層され、第2工程により、犠牲層用薄膜と第1の絶縁体薄膜との積層体におけるアンカー部形成領域が開孔され、第3工程により、開口部を含む第1の絶縁体薄膜上の所定領域に導電性薄膜が形成される。そして、第4工程により、導電性薄膜の上を含む第1の絶縁体薄膜上に第2の絶縁体薄膜が形成され、第5工程により、第2の絶縁体薄膜上に貼合用薄膜が形成されるとともに、貼合用薄膜の表面の平坦化が行われ、第6工程により、貼合用薄膜の表面と第2の半導体基板とが貼り合わされ、第7工程により、第1の半導体基板が所望の厚さまで研磨され、第8工程により、第1の半導体基板における不要領域を除去して所望の形状にされる。

【0025】この第8工程において、ステッパの下部パターン分解能を満たす程度に第1の半導体基板が薄いものであると、第1の半導体基板の下での犠牲層用薄膜の開口部の形状を透視することができ、フォトマスク合わせを正確に行うことができる。

【0026】さらに、第9工程により、エッチング液を用いたエッチングにより所定領域の犠牲層用薄膜を除去して第1の半導体基板が可動構造にされる。この第9工程において、可動部におけるアンカー部は導電性薄膜よりなり、アンカー部においてエッチングが停止し、バラツキが無くなる。即ち、例えば、犠牲層用薄膜としてシリコン酸化膜を用い、導電性薄膜としてポリシリコン薄膜を用い、HF系エッチング液を用いた場合には、シリコン酸化膜はHFにて溶けるがポリシリコン薄膜は溶けないので、HF系エッチング液の濃度や温度を正確に管理したりエッチングの終了を正確なる時間管理にて行う必要はなく製造が容易となる。

【0027】このようにアンカーを形成することができることから梁構造体をリリースする際の犠牲層エッチング工程で時間制御による終点制御を行う必要がなくパネ定数等の制御を容易にすることが可能となる。

【0028】又、請求項9において、第1工程により、第1の半導体基板における所定領域に溝が形成され、第2工程により、溝を含む第1の半導体基板上に、犠牲層用薄膜および第1の絶縁体薄膜が積層され、第3工程により、犠牲層用薄膜と第1の絶縁体薄膜との積層体におけるアンカー部形成領域が開孔される。そして、第4工程により、開口部を含む第1の絶縁体薄膜上の所定領域に導電性薄膜が形成される。

【0029】この第4工程において、ステッパの下部パターン分解能を満たす程度に導電性薄膜が薄いものであると、導電性薄膜の下での第1の絶縁体薄膜の開口部の

(6)

特開平9-211022

10

形状を透視することができ、フォトマスク合わせを正確に行うことができる。

【0030】第5工程により、導電性薄膜の上を含む第1の絶縁体薄膜上に第2の絶縁体薄膜が形成され、第6工程により、第2の絶縁体薄膜上に貼合用薄膜が形成されるとともに、貼合用薄膜の表面の平坦化が行われる。さらに、第7工程により、貼合用薄膜の表面と第2の半導体基板とが貼り合わされ、第8工程により、第1の半導体基板が所望の厚さまで研磨され、第9工程により、エッチング液を用いたエッチングにより所定領域の犠牲層用薄膜を除去して第1の半導体基板が可動構造にされる。

【0031】この第9工程において、可動部におけるアンカー部は導電性薄膜よりなり、アンカー部においてエッチングが停止し、バラツキが無くなる。即ち、例えば、犠牲層用薄膜としてシリコン酸化膜を用い、導電性薄膜としてポリシリコン薄膜を用い、HF系エッチング液を用いた場合には、シリコン酸化膜はHFにて溶けるがポリシリコン薄膜は溶けないので、HF系エッチング液の濃度や温度を正確に管理したりエッチングの終了を正確なる時間管理にて行う必要はなく製造が容易となる。

【0032】このようにアンカーを形成することができることから梁構造体をリリースする際の犠牲層エッチング工程で時間制御による終点制御を行う必要がなくパネ定数等の制御を容易にすることが可能となる。

【0033】

【発明の実施の形態】

(第1の実施の形態)以下、この発明の第1の実施の形態を図面を用いて説明する。本実施の形態においては、半導体加速度センサに適用している。より詳しくは、サーボ制御式の差動容量型半導体力量センサに適用している。

【0034】図1は本実施の形態に係る半導体加速度センサの平面図であり、図2は図1におけるII-II断面図、図3は図1におけるIII-III断面図、図4は図1におけるIV-IV断面図、図5は図1におけるV-V断面図である。

【0035】図1、図2において、基板1の上面上には、単結晶シリコン(単結晶半導体材料)よりなる梁構造体2が配置されている。梁構造体2は、基板1側から突出する4つのアンカー部3a、3b、3c、3dにより架設されており、基板1の上面上において所定間隔を隔てた位置に配置されている。アンカー部3a、3b、3c、3dはポリシリコン薄膜よりなる。アンカー部3aとアンカー部3bとの間に梁部4が架設されるとともに、アンカー部3cとアンカー部3dとの間に梁部5が架設されている。梁部4と梁部5との間において長方形をなす質量部(マス部)6が架設されている。質量部6には上下に貫通する透孔6aが設けられ、この透孔6aによ

(7)

特開平9-211022

11

り犠牲層エッチングの際のエッチング液が進入し易くなる。さらに、質量部6における一方の側面(図1においては左側面)からは4つの可動電極7a, 7b, 7c, 7dが突出している。この可動電極7a, 7b, 7c, 7dは棒状をなし、等間隔をおいて平行に延びている。又、質量部6における他方の側面(図1においては右側面)からは4つの可動電極8a, 8b, 8c, 8dが突出している。この可動電極8a, 8b, 8c, 8dは棒状をなし、等間隔をおいて平行に延びている。ここで、梁部4, 5、質量部6、可動電極7a~7d, 8a~8dは犠牲層酸化膜37の一部をエッチング除去することにより可動となっている。このエッチング領域を図1においてZ1にて示す。

【0036】このように、梁構造体2は2つの歯状の可動電極を有している。前記基板1の上面上には4つの第1の固定電極9a, 9b, 9c, 9dが固定され、この固定電極9a~9dは単結晶シリコンよりなる。第1の固定電極9a~9dは基板1側から突出するアンカー部10a, 10b, 10c, 10dにより支持されており、梁構造体2の各可動電極(棒状部)7a~7dの一方の側面に対向して配置されている。又、基板1の上面上には4つの第2の固定電極11a, 11b, 11c, 11dが固定され、この固定電極11a~11dは単結晶シリコンよりなる。第2の固定電極11a~11dは基板1側から突出するアンカー部12a, 12b, 12c, 12dにより支持されており、梁構造体2の各可動電極(棒状部)7a~7dの他方の側面に対向して配置されている。

【0037】同様に、基板1の上面上には第1の固定電極13a, 13b, 13c, 13dおよび第2の固定電極15a, 15b, 15c, 15dが固定され、この固定電極13a~13dおよび15a~15dは単結晶シリコンよりなる。第1の固定電極13a~13dはアンカー部14a, 14b, 14c, 14dにより支持され、かつ、梁構造体2の各可動電極(棒状部)8a~8dの一方の側面に対向して配置されている。又、第2の固定電極15a~15dはアンカー部16a, 16b, 16c, 16dにより支持され、かつ、梁構造体2の各可動電極(棒状部)8a~8dの他方の側面に対向して配置されている。

【0038】前記基板1は、図2に示すように、シリコン基板(半導体基板)17の上に、下層側絶縁体薄膜18と導電性薄膜19と上層側絶縁体薄膜20とを積層した構成となっている。つまり、シリコン基板17の上層部に、下層側絶縁体薄膜18と導電性薄膜19と上層側絶縁体薄膜20との積層体21を配置した構造となっており、導電性薄膜19が絶縁体薄膜18, 20の内部に埋め込まれた構成となっている。下層側絶縁体薄膜18はシリコン酸化膜よりなり、上層側絶縁体薄膜20はシリコン窒化膜よりなり、CVD法等により形成されたも

12

のである。又、導電性薄膜19はリン等の不純物をドーピングしたポリシリコン薄膜よりなる。

【0039】導電性薄膜19により、図1に示す4つの配線パターン22, 23, 24, 25が形成されるとともに、下部電極(静電気力相殺用固定電極)26が形成されている。配線パターン22は第1の固定電極9a, 9b, 9c, 9dの配線であり、図1に示すように帯状をなし、かつ、L字状に延設されている。配線パターン23は第2の固定電極11a, 11b, 11c, 11dの配線パターンであり、図1に示すように帯状をなし、かつ、L字状に延設されている。同様に、配線パターン24は第1の固定電極13a, 13b, 13c, 13dの配線であり、配線パターン25は第2の固定電極15a, 15b, 15c, 15dの配線であり、図1に示すように帯状をなし、かつ、L字状に延設されている。下部電極26は基板1の上層部における梁構造体2と対向する領域に形成されている。

【0040】そして、梁構造体2の可動電極(棒状部)7a~7dと第1の固定電極9a~9dとの間に第1のコンデンサが、又、梁構造体2の可動電極(棒状部)7a~7dと第2の固定電極11a~11dとの間に第2のコンデンサが形成される。同様に、梁構造体2の可動電極(棒状部)8a~8dと第1の固定電極13a~13dとの間に第1のコンデンサが、又、梁構造体2の可動電極(棒状部)8a~8dと第2の固定電極15a~15dとの間に第2のコンデンサが形成される。

【0041】又、基板1の上面上には、単結晶シリコンよりなる電極取出部27a, 27b, 27c, 27dが形成され、電極取出部27a, 27b, 27c, 27dは基板1から突出するアンカー部28a, 28b, 28c, 28dにより支持されている。

【0042】図3に示すように、上層側絶縁体薄膜20には開口部29a, 29b, 29c, 29dおよび30が形成され、開口部29a, 29b, 29c, 29d内に前述のアンカー部(不純物ドーパントポリシリコン)10a~10dが配置されている。又、開口部30内にはアンカー部(不純物ドーパントポリシリコン)28aが配置されている。よって、開口部29a~29dおよびアンカー部(不純物ドーパントポリシリコン)10a~10dを通して配線パターン22と第1の固定電極9a~9dが電気的に接続されるとともに、開口部30およびアンカー部(不純物ドーパントポリシリコン)28aを通して配線パターン22と電極取出部27aが電気的に接続されている。

【0043】図4に示すように、上層側絶縁体薄膜20には開口部31a, 31b, 31c, 31d, 32が形成されている。開口部31a~31d内には前述のアンカー部(不純物ドーパントポリシリコン)12a~12dが、又、開口部32内に前述のアンカー部28cが配置されている。よって、開口部31a~31dおよびアン

13

カー部（不純物ドーフトポリシリコン）12a~12dを通して配線パターン23と第2の固定電極11a~11dが電気的に接続されるとともに、開口部32およびアンカー部（不純物ドーフトポリシリコン）28cを通して配線パターン23と電極取出部27cが電気的に接続されている。

【0044】同様に、上層側絶縁体薄膜20における開口部（図示略）および前記第1の固定電極のアンカー部14a~14dを通して第1の固定電極の配線パターン24と第1の固定電極13a~13dが電気的に接続されるとともに、アンカー部28bを通して配線パターン24と電極取出部27bが電気的に接続されている。

又、上層側絶縁体薄膜20における開口部（図示略）および前記第2の固定電極のアンカー部16a~16dを通して第2の固定電極の配線パターン25と第2の固定電極15a~15dが電気的に接続されるとともに、アンカー部28dを通して配線パターン25と電極取出部27dが電気的に接続されている。

【0045】又、図2に示すように、上層側絶縁体薄膜20には開口部33が形成され、開口部33内に前述のアンカー部（不純物ドーフトポリシリコン）3a~3dが配置されている。よって、梁構造体のアンカー部3a~3dを通して下部電極26と梁構造体2とが電気的に接続されている。

【0046】このように、基板1は、ポリシリコンよりなる配線パターン22~25および下部電極26をSOI層の下に埋め込んだ構成となっており、この構造は、表面マイクロマシニング技術を用いて形成したものである。

【0047】一方、図1、2に示すように、シリコン基板（半導体基板）17のアンカー部3aの上方にはアルミ薄膜よりなる電極（ボンディングパッド）34が設けられている。又、図1、3、4に示すように、電極取出部27a、27b、27c、27dの上面にはアルミ薄膜よりなる電極（ボンディングパッド）35a、35b、35c、35dがそれぞれ設けられている。尚、電極取出部27a~27dの上面には層間絶縁膜38及びシリコン窒化膜36が形成されている。この膜38、36は、図1においてZ1以外の領域に形成されている。

【0048】そして、梁構造体2の可動電極7a~7dと第1の固定電極9a~9dとの間に形成された第1のコンデンサの容量（および可動電極8a~8dと第1の固定電極13a~13dとの間に形成される第1のコンデンサの容量）、および、梁構造体2の可動電極7a~7dと第2の固定電極11a~11dとの間に形成された第2のコンデンサの容量（および可動電極8a~8dと第2の固定電極15a~15dとの間に形成される第2のコンデンサの容量）に基づいて梁構造体2に作用する加速度を検出することができるようになっている。より詳しくは、可動電極と固定電極により2つの差動型

(8)

特開平9-211022

14

静電容量を形成し、2つの容量が等しくなるようにサーボ動作を行う。

【0049】又、梁構造体2と下部電極26とを等電位にすることにより梁構造体2と基板1との間に生じる静電気力を相殺する。つまり、下部電極26はアンカー部3a~3dを通して梁部4、5および質量部6と結合されているため電気的に等電位であり、梁部4、5および質量部6が静電気力により基板1に付着することが防止できる。即ち、梁構造体2はシリコン基板17に対して絶縁されているため、梁構造体2とシリコン基板17間のわずかな電位差によっても梁構造体2が基板17側に付着しようとするが、それを防止することができる。

【0050】以上のように絶縁体分離された配線パターン22~25と下部電極26を用いることで、アルミ電極（ボンディングパッド）34、35a~35dを基板表面から取り出すことができ、加速度センサの製造プロセスを容易にすることが可能となる。

【0051】次に、この加速度センサの検出原理を図1を用いて説明する。可動電極7a~7d（8a~8d）は両側の固定電極9a~9d（13a~13d）と11a~11d（15a~15d）の中心に位置し、可動電極と固定電極間の静電容量C1、C2は等しい。又、可動電極7a~7d（8a~8d）と固定電極9a~9d（13a~13d）間には電圧V1が、可動電極7a~7d（8a~8d）と固定電極11a~11d（15a~15d）間には電圧V2が印加されている。そして、加速度が生じていないときにはV1=V2であり、可動電極7a~7d（8a~8d）は固定電極9a~9d（13a~13d）と11a~11d（15a~15d）から等しい静電気力で引かれている。ここで、加速度が基板表面に平行な方向に作用し、可動電極7a~7d（8a~8d）が変位すると可動電極と固定電極との間の距離が変わり静電容量C1、C2が等しくなくなる。このときに静電気力が等しくなるように、例えば可動電極7a~7d（8a~8d）が固定電極9a~9d（13a~13d）側に変位したとすると、電圧V1が下がり、電圧V2が上がる。これにより静電気力で固定電極11a~11d（15a~15d）側に可動電極7a~7d（8a~8d）は引かれる。可動電極7a~7d（8a~8d）が中心位置に戻り静電容量C1、C2が等しくなれば、加速度と静電気力が等しく釣り合っており、このときの電圧V1、V2から加速度の大きさを求めることができる。

【0052】このように、第1のコンデンサと第2のコンデンサにおいて、力学量の作用による変位に対して、可動電極が変位しないように第1と第2のコンデンサを形成している固定電極の電圧を制御し、その電圧の変化で加速度を検出する。

【0053】次に、この加速度センサの製造工程を図6~16を用いて説明する。尚、図6~16は、図1にお

15

けるA-A断面での製造工程を示す概略断面図である。まず、図6に示すように、第1の半導体基板としての単結晶シリコン基板40を用意し、シリコン基板40に犠牲層用薄膜としてのシリコン酸化膜41を熱酸化、CVD法等により成膜する。そして、図7に示すように、シリコン酸化膜41に対しフォトリソグラフィを経て一部エッチングして凹部42を形成する。さらに、表面の凹凸を増大させるためと犠牲層エッチング時のエッチングストップとなるシリコン窒化膜(第1の絶縁体薄膜)43を成膜する。その後、シリコン酸化膜41とシリコン窒化膜43との積層体に対してフォトリソグラフィを経てドライエッチング等によりアンカー部形成領域に開口部44a、44b、44cを形成する。この開口部44a~44cは、梁構造体と基板(下部電極)とを接続するため、および、固定電極(及び電極取出部)と配線パターンとを接続するためのものである。

【0054】引き続き、図8に示すように、開口部44a~44cを含むシリコン窒化膜43上に導電性薄膜となるポリシリコン薄膜45を成膜し、その後、リン拡散等により不純物を導入し、フォトリソグラフィを経てシリコン窒化膜43上の所定領域に配線パターン45aと下部電極45bとアンカー部45cを形成する。さらに、図9に示すように、ポリシリコン薄膜(45)の上を含むシリコン窒化膜43上に第2の絶縁体薄膜としてのシリコン酸化膜46をCVD法等により成膜する。

【0055】さらに、図10に示すように、シリコン酸化膜46の上に貼合用薄膜としてのポリシリコン薄膜47を成膜し、ポリシリコン薄膜47に対し貼り合わせのために表面を機械的研磨等により平坦化する。

【0056】そして、図11に示すように、シリコン基板40とは別の単結晶シリコン基板(支持基板)48を用意し、ポリシリコン薄膜47の表面と第2の半導体基板としてのシリコン基板48とを貼り合わせる。

【0057】さらに、図12に示すように、シリコン基板40、48を裏返して、シリコン基板40側を機械的研磨等を行い所望の厚さ(例えば1~2 μ m)まで薄膜化する。その後、シリコン基板40に対しフォトリソ技術を用いてトレンチエッチングにより一定の幅で溝を掘り、さらにその後に、梁構造体を形成するための溝パターン49を形成する。このように、シリコン基板40における不要領域(49)を除去して所望の形状にする。又、ここで、シリコン基板40に対し後に静電容量を検出するための電極とするためにリン拡散等により不純物を導入する。

【0058】この工程(シリコン基板40における不要領域を除去して所望の形状にする工程)において、ステップの下部パターン分解能を満たす程度にシリコン基板40が薄い(例えば1~2 μ m)ものであるため、シリコン基板40の下でのシリコン酸化膜41の開口部(図7の44a~44c)の形状を透視することができ、フ

(9)

特開平9-211022

16

ォトマスク合わせを正確に行うことができる。

【0059】この後、図13に示すように、シリコン酸化膜50をCVD法等により成膜し、ドライエッチング等によりエッチバックを行い基板表面を平坦化する。さらに、図14に示すように、層間絶縁膜51を成膜し、フォトリソグラフィを経てドライエッチング等によりコンタクトホール52を形成する。そして、層間絶縁膜51の上の所定領域にシリコン窒化膜76を形成する。

【0060】さらに、図15に示すように、アルミ電極53を成膜・フォトリソグラフィを経て形成し、その後、パッシベーション膜54を成膜・フォトリソグラフィを経て形成する。

【0061】最後に、図16に示すように、HF系のエッチング液によりシリコン酸化膜41、50をエッチング除去し、可動電極部55等を有する梁構造体56を可動とする。つまり、エッチング液を用いた犠牲層エッチングにより所定領域のシリコン酸化膜41を除去してシリコン基板40を可動構造とする。この際、エッチング後の乾燥の過程で可動部が基板に固着するのを防止するため、パラジクロロベンゼン等の昇華剤を用いる。

【0062】この工程(エッチング液を用いた犠牲層エッチングにより所定領域のシリコン酸化膜41を除去してシリコン基板40を可動構造とする工程)において、可動部におけるアンカー部45cは導電性薄膜(ポリシリコン)よりなり、アンカー部45cにおいてエッチングが停止し、バラツキが無くなる。即ち、犠牲層用薄膜としてシリコン酸化膜を用い、導電性薄膜としてポリシリコン薄膜を用い、HF系エッチング液を用いた本例においては、シリコン酸化膜はHFにて溶けるがポリシリコン薄膜は溶けないので、HF系エッチング液の濃度や温度を正確に管理したりエッチングの終了を正確なる時間管理にて行う必要はなく製造が容易となる。

【0063】即ち、犠牲層エッチングに際しては、図42に示すSOI基板を用いた場合においては梁の長さがエッチング時間によって変化してしまうが、本実施の形態ではエッチング時間に関係なくアンカー部までエッチングしたところで選択的にエッチングが終了するため、梁の長さは常に一定となる。

【0064】このようにアンカー部を形成することができることから梁構造体をリリースする際の犠牲層エッチング工程で時間制御による終点制御を行う必要がなくパネ定数等の制御を容易にすることが可能となる。

【0065】又、この犠牲層エッチング工程において、図7の凹部42により図16に示す突起57が形成されているので、梁構造体がリリースされた後におけるエッチング液の置換工程において液可動部と基板との間に純水等のリンス液(置換液)の液滴が残るがこの液滴の付着面積を減らして液滴による表面張力を小さくしてリンス液の蒸発の際に可動部が基板に固着するのを防止される。

17

【0066】このようにして、埋め込みSOI基板を用い、配線パターン45aおよび下部電極45bを絶縁体分離により形成して、サーボ制御式加速度センサを形成することができる。

【0067】このように本実施の形態においては、下記(ロ)～(ハ)の特徴を有する。

(イ) 梁構造体2は、基板1の上面において所定間隔を隔てた位置に配置され、加速度(力学量)により変位する作用力を受ける。又、固定電極9a～9d、11a～11d、13a～13d、15a～15dは、基板1の上面に固定され、かつ、梁構造体2の一部である可動電極7a～7d、8a～8dに対向して配置される。この種のセンサにおいて、基板1の上面部に、図2に示す下層側絶縁体薄膜18と導電性薄膜19と上層側絶縁体薄膜20との積層体21を配置し、導電性薄膜19により配線22～25と電極26を形成し、この配線22～25と電極26を、上層側絶縁体薄膜20に形成した開口部29a～29d、31a～31d、30、32、33を通して基板1の上に配置した固定電極9a～9d、11a～11d、13a～13d、15a～15d、梁構造体2、電極取出部27a～27d(電気接続部材)に対し電気的に接続した。このように、基板1の上面部に絶縁膜を配置し、その中に薄膜の配線または電極を埋設して、基板側の配線または電極として埋め込みの薄膜(ポリシリコン層)を用いたSOI基板(埋め込みSOI基板)としている。この構造を用いることで、絶縁体分離による配線または電極を形成でき、図48に示す不純物拡散層161を用いた場合(pn接合分離による場合)に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。

(ロ) 特に、基板1の上面部に、下層側絶縁体薄膜18と導電性薄膜19と上層側絶縁体薄膜20との積層体21を配置し、導電性薄膜19により第1の固定電極の配線パターン22、24と第2の固定電極の配線パターン23、25を形成し、上層側絶縁体薄膜20における開口部29a～29d、31a～31dおよび固定電極のアンカー部を通して第1、第2の固定電極用配線パターン22～25と第1、第2の固定電極9a～9d、11a～11d、13a～13d、15a～15dを電気的に接続した。このように、基板1の上面部に絶縁膜を配置し、その中に薄膜の配線パターン22～25を埋設し、この配線パターン22～25を用いて第1の固定電極用通電ラインと第2の固定電極用通電ラインを交差させることができる。

【0068】このように、基板側の配線として埋め込みの薄膜(ポリシリコン層)を用いたSOI基板(埋め込みSOI基板)を用いることで、絶縁体分離による配線を形成できる。よって、絶縁体薄膜で分離された導電性薄膜を形成でき、図48に示す不純物拡散層161を用

(10)

特開平9-211022

18

いた場合(pn接合分離による場合)に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。

(ハ) さらに、基板1の上面部に、下層側絶縁体薄膜18と導電性薄膜19と上層側絶縁体薄膜20との積層体21を配置し、導電性薄膜19により第1の固定電極の配線パターン22、24と第2の固定電極の配線パターン23、25を形成するとともに導電性薄膜19による下部電極(静電気力相殺用固定電極)26を形成し、上層側絶縁体薄膜20における開口部29a～29d、31a～31dおよび第1、第2の固定電極のアンカー部10a～10d、12a～12dを通して第1、第2の固定電極の配線パターン22～25と第1、第2の固定電極9a～9d、11a～11d、13a～13d、15a～15dを電気的に接続し、さらに、上層側絶縁体薄膜20における開口部33および梁構造体のアンカー部3a～3dを通して下部電極26と梁構造体2とを電気的に接続した。このように、基板1の上面部に絶縁膜を配置し、その中に薄膜の配線パターン22～25および下部電極26を埋設し、この配線パターンを用いて第1の固定電極用通電ラインと第2の固定電極用通電ラインを交差させることができるとともに、梁構造体(可動部)と下部電極とを等電位にして梁構造体(可動部)と基板との間に生じる静電気力を相殺することができ、梁構造体(可動部)と基板間のわずかな電位差による梁構造体(可動部)の基板への付着を防止することができる。

(ニ) 梁構造体2の材料としてヤング率等の物性値が既知で脆性材料である単結晶シリコンを用いているため梁構造体の信頼性を高くすることができる。

(ホ) 導電性薄膜19としてポリシリコン薄膜を用いて絶縁体薄膜で周囲を分離することにより、pn接合分離の場合のような高温域でのリーク電流等の影響をより小さくすることができる。

(ヘ) サーボ機構(サーボ制御)を採用したので、加速度の作用による梁構造体の変位を最小限に抑えることができ、従って、センサの信頼性を高めることができる。

【0069】本実施の形態の応用例としては、上述した例では導電性薄膜19により第1の固定電極の配線パターン22、24と第2の固定電極の配線パターン23、25とを形成したが、いずれか一方のみを導電性薄膜19により形成し、他方はアルミ配線にて電気的に接続したり櫛歯状電極として電気的に接続してもよい。又、上述した例では固定電極の配線パターンおよび下部電極を、埋め込み導電性薄膜にて形成したが、下部電極を用いないセンサに具体化してもよい。

(第2の実施の形態)次に、第2の実施の形態を、第1の実施の形態との相違点を中心に図面に基づき説明する。

【0070】図17～27は本実施の形態に係る半導体

19

加速度センサの製造におけるプロセスフローを示した断面図である。まず、図17に示すように、第1の半導体基板としての単結晶シリコン基板60を用意する。そして、シリコン基板60にトレンチエッチングにより一定の幅で溝を形成し、その後に梁構造体を形成するための溝パターン61を形成する。つまり、シリコン基板60における所定領域に溝(61)を形成する。ここで、後に静電容量を検出するための電極とするためにリン拡散等により不純物を導入する。その後、図18に示すように、溝(61)を含むシリコン基板60の上に犠牲層用薄膜としてのシリコン酸化膜62をCVD法等により成膜し、さらに、シリコン酸化膜62の表面を平坦化する。

【0071】さらに、図19に示すように、シリコン酸化膜62に対しフォトリソグラフィを経て一部エッチングして凹部63を形成する。これは、犠牲層エッチング工程において梁構造体がリリースされた後に表面張力等で基板に付着するのを防ぐべく付着面積を減らすためである。さらに、表面の凹凸を増大させるためと犠牲層エッチング時のエッチングストップとなるシリコン窒化膜(第1の絶縁体薄膜)64を成膜する。そして、シリコン窒化膜64とシリコン酸化膜62との積層体に対しフォトリソグラフィを経てドライエッチング等によりアンカー一部形成領域に開口部65a、65b、65cを形成する。この開口部65a~65cは、梁構造体と基板(下部電極)とを接続するため、および固定電極(及び電極取出部)と配線パターンとを接続するためのものである。

【0072】引き続き、図20に示すように、開口部65a~65cを含むシリコン窒化膜64の上にポリシリコン薄膜66を成膜し、その後、リン拡散等により不純物を導入し、さらに、フォトリソグラフィを経て配線パターン66aと下部電極66bとアンカー一部66cを形成する。このように、開口部65a~65cを含むシリコン窒化膜64上の所定領域に導電性薄膜としての不純物ドーパドポリシリコン薄膜(66)を形成する。ポリシリコン薄膜の膜厚は1~2 μ m程度である。

【0073】この工程(開口部を含むシリコン窒化膜64上の所定領域に不純物ドーパドポリシリコン薄膜66を形成する工程)において、ステップの下部パターン分解能を満たす程度にポリシリコン薄膜66が薄い(1~2 μ m)ので、ポリシリコン薄膜66の下でのシリコン窒化膜64の開口部65a~65dの形状を透視することができ、フォトマスク合わせを正確に行うことができる。

【0074】そして、図21に示すように、ポリシリコン薄膜(66)の上を含むシリコン窒化膜64の上に第2の絶縁体薄膜としてのシリコン酸化膜67を成膜する。さらに、図22に示すように、シリコン酸化膜67の上に貼合用薄膜としてのポリシリコン薄膜68を成膜

(11)

特開平9-211022

20

し、貼り合わせのためにポリシリコン薄膜68の表面を機械的研磨等により平坦化する。

【0075】次に、図23に示すように、シリコン基板60とは別の単結晶シリコン基板(支持基板)69を用意し、ポリシリコン薄膜68の表面と第2の半導体基板としてのシリコン基板69とを貼り合わせる。

【0076】さらに、図24に示すように、シリコン基板60、69を裏返して、シリコン基板60側を機械的研磨等を行い薄膜化する。つまり、シリコン基板60を所望の厚さまで研磨する。この際、図17に示したように、トレンチエッチングにより形成した溝深さまで研磨を行うと、シリコン酸化膜62の層が出現するため研磨における硬度が変化するため研磨の終点を容易に検出することができる。

【0077】この後、図25に示すように、層間絶縁膜70を成膜し、フォトリソグラフィを経てドライエッチング等によりコンタクトホール71を形成する。そして、層間絶縁膜70の上の所定領域にシリコン窒化膜72を形成する。

【0078】さらに、図26に示すように、アルミ電極72を成膜・フォトリソグラフィを経て形成し、その後、パッシベーション膜73を成膜・フォトリソグラフィを経て形成する。

【0079】最後に、図27に示すように、HF系のエッチング液によりシリコン酸化膜62をエッチング除去し、可動電極74を有する梁構造体75を可動とする。つまり、エッチング液を用いた犠牲層エッチングにより所定領域のシリコン酸化膜62を除去してシリコン基板60を可動構造とする。この際、エッチング後の乾燥の過程で可動部が基板に固着するのを防止するため、パラジクロロベンゼン等の昇華剤を用いる。

【0080】この工程(エッチング液を用いた犠牲層エッチングにより所定領域のシリコン酸化膜62を除去してシリコン基板60を可動構造とする工程)において、可動部におけるアンカー部66cは導電性薄膜よりなり、アンカー部66cにおいてエッチングが停止し、バラツキが無くなる。即ち、犠牲層用薄膜としてシリコン酸化膜を用い、導電性薄膜としてポリシリコン薄膜を用いた本例において、HF系エッチング液を用いた場合には、シリコン酸化膜はHFにて溶けるがポリシリコン薄膜は溶けないので、HF系エッチング液の濃度や温度を正確に管理したりエッチングの終了を正確なる時間管理にて行う必要はなく製造が容易となる。

【0081】このようにアンカーを形成することができることから梁構造体をリリースする際の犠牲層エッチング工程で時間制御による終点制御を行う必要がなくパネ定数等の制御を容易にすることが可能となる。

【0082】このようにして、埋め込みSOI基板を用い、配線パターンおよび下部電極を絶縁体分離により形成して、サーボ制御式加速度センサを形成することが

50

21

きる。

(第3の実施の形態)次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0083】図28には、本実施の形態における半導体加速度の平面図を示す。図1に示した第1の実施の形態においては、質量部6は、アンカー部3a~3dに対して直線的に延びる梁4、5で支持されるような構造となっているが、本実施の形態においては、図28で示すような折れ曲がった梁構造としている。

【0084】こうすることで、膜に圧縮応力が残留した場合において、梁構造体2に用いている膜の残留応力の影響で梁が座屈することを回避できる。又、膜に引張応力が残留した場合において、梁のバネ定数が設計値とずれてしまうことを回避できる。その結果、設計値通りのセンサを形成することができる。

(第4の実施の形態)次に、第4の実施の形態を図面にに基づき説明する。

【0085】本実施の形態においては、励振式のヨーレートセンサに適用しており、より詳しくは梁構造体(可動構造体)を2つ備え、両梁構造体(可動構造体)を逆相にて励振させ、差動検出を行うものである。

【0086】図29は本実施の形態に係るヨーレートセンサの平面図であり、図30は図29におけるXXXI-XXXI断面図であり、図31は図29におけるXXXI-XXXI断面図であり、図32は図29におけるXXXII-XXXII断面図である。

【0087】図30において、基板80の上面には、単結晶シリコン(単結晶半導体材料)よりなる梁構造体81および梁構造体82(図29参照)が隣接して配置されている。梁構造体81は、基板80側から突出する4つのアンカー部83a、83b、83c、83dにより架設されており、基板80の上面において所定間隔を隔てた位置に配置されている。アンカー部83a~83dはポリシリコン薄膜よりなる。アンカー部83aとアンカー部83cとの間に梁部84が架設されるとともに、アンカー部83bとアンカー部83dとの間に梁部85が架設されている。梁部84と梁部85との間において長方形をなす質量部(マス部)86が架設されている。質量部86には上下に貫通する透孔86aが設けられている。さらに、質量部86における一方の側面(図29においては左側面)からは多数の励振用可動電極87が突出している。この各可動電極87は棒状をなし、等間隔を置いて平行に延びている。又、質量部86における他方の側面(図29においては右側面)からは多数の励振用可動電極88が突出している。この各可動電極88は棒状をなし、等間隔を置いて平行に延びている。ここで、梁部84、85、質量部86、可動電極87、88は犠牲層酸化膜89の一部をエッチング除去することにより可動となっている。このエッチング領域を図29においてZ2にて示す。

(12)

特開平9-211022

22

【0088】このように、梁構造体81は、2つの櫛歯状の可動電極、即ち、第1の可動電極としての可動電極87と第2の可動電極としての可動電極88とを有している。

【0089】この梁構造体81と同様の構成が、梁構造体82にも採用されており、同一の符号を付すことによりその説明は省略する。前記基板80の上面には、励振用固定電極としての櫛歯電極90、91、92が配置されている。櫛歯電極90は片側に棒状電極部90aを有し、櫛歯電極91は両側に棒状電極部91a、91bを有し、櫛歯電極92は片側に棒状電極部92aを有する。この各櫛歯電極90、91、92は単結晶シリコンよりなる。各櫛歯電極90、91、92は基板80側から突出するアンカー部93、94、95により支持・固定されている。櫛歯電極90の棒状電極部90aは、梁構造体81の各可動電極(棒状部)87の間に対向・配置されている。櫛歯電極91の棒状電極部91aは、梁構造体81の各可動電極(棒状部)88の間に対向・配置されている。櫛歯電極91の棒状電極部91bは、梁構造体82の各可動電極(棒状部)87の間に対向・配置されている。櫛歯電極92の棒状電極部92aは、梁構造体82の各可動電極(棒状部)88の間に対向・配置されている。

【0090】本実施の形態では、櫛歯電極90が第1の励振用固定電極を構成し、櫛歯電極91が第2の励振用固定電極を構成している。又、図29に示すように、基板80の上面部において梁構造体81の一部(主に質量部86)と対向する領域には、力学量検出用固定電極としての下部電極(ヨーレート検出用固定電極)101が配置されている。同様に、基板80の上面部において梁構造体82の一部(主に質量部86)と対向する領域には、力学量検出用固定電極としての下部電極(ヨーレート検出用固定電極)102が配置されている。梁構造体81と下部電極101との間に第1のコンデンサが、又、梁構造体82と下部電極102との間に第2のコンデンサが形成される。

【0091】そして、梁構造体81の可動電極87と櫛歯電極90との間、および、梁構造体81の可動電極88と櫛歯電極91との間に逆相の静電気力を加えることにより梁構造体81を強制振動(励振)させることができる。又、梁構造体82の可動電極87と櫛歯電極91との間、および、梁構造体82の可動電極88と櫛歯電極92との間に逆相の静電気力を加えることにより梁構造体82を強制振動(励振)させることができる。さらに、この励振中において、梁構造体81、82と下部電極101、102との間に形成されるコンデンサの容量(静電容量C₀)に基づいて梁構造体81、82に作用するヨーレートを検出することができるようになっていく。

【0092】前記基板80は、図31に示すように、シ

(13)

特開平9-211022

23

リコン基板(半導体基板)96の上に、下層側絶縁体薄膜97と導電性薄膜98と上層側絶縁体薄膜99とを積層した構成となっている。つまり、シリコン基板96の上面部に、下層側絶縁体薄膜97と導電性薄膜98と上層側絶縁体薄膜99との積層体100を配置した構造となっており、導電性薄膜98が絶縁体薄膜97、99の内部に埋め込まれた構成となっている。下層側絶縁体薄膜97はシリコン酸化膜よりなり、上層側絶縁体薄膜99はシリコン窒化膜よりなり、CVD法等により形成されたものである。又、導電性薄膜98は不純物ドーブトポリシリコン薄膜よりなる。

【0093】導電性薄膜98により、図29に示す下部電極(ヨーレート検出用固定電極)101、102および配線パターン103、104が形成されている。又、図29、31に示すように、基板80の上面には、単結晶シリコンよりなる電極取出部105、106が形成され、電極取出部105、106は基板80から突出するアンカー部107、108により支持されている。本実施の形態では電極取出部105、106にて電気接続部材が構成されている。

【0094】図31に示すように、上層側絶縁体薄膜99には開口部109が形成され、開口部109内に前述のアンカー部(不純物ドーブトポリシリコン)107が配置されている。よって、開口部109およびアンカー部(不純物ドーブトポリシリコン)107を通して下部電極101が配線パターン103を介して電極取出部105と電気的に接続されている。同様の構成が電極取出部106においても採用されており、アンカー部(不純物ドーブトポリシリコン)108を通して下部電極102が配線パターン104を介して電極取出部106と電気的に接続されている。

【0095】尚、図29に示すように、櫛歯電極90、91、92のアンカー部93、94、95および梁構造体81、82のアンカー部83a、83b、83c、83dにおいても、導電性薄膜98よりなる埋込部110が形成されている。

【0096】このように、基板80は、ポリシリコンよりなる下部電極101、102および配線パターン103、104をSOI層の下に埋め込んだ構成となっており、この構造は、表面マイクロマシニング技術を用いて形成したものである。

【0097】一方、図32に示すように、櫛歯電極90、91、92の上面にはアルミ薄膜よりなる電極(ボンディングパッド)111、112、113が設けられている。又、梁構造体81、82のアンカー部83aの上面にはアルミ薄膜よりなる電極(ボンディングパッド)114、115が設けられている。又、図31に示すように、電極取出部105、106の上面にはアルミ薄膜よりなる電極(ボンディングパッド)116がそれぞれ設けられている。尚、電極取出部105、106の

24

上には層間絶縁膜118及びシリコン窒化膜117が形成されている。

【0098】以上のように絶縁体分離された下部電極101、102と配線パターン103、104とを用いることで、アルミ電極(ボンディングパッド)116を基板表面から取り出すことができる。

【0099】次に、このヨーレートセンサの検出原理を図32を用いて説明する。櫛歯電極(励振用固定電極)90、91、92と励振用可動電極87、88との間に電圧を印加する。これにより、梁構造体81、82の質量部86を基板の表面に平行な方向(図29中、Y方向)に振動させる。このとき、基板の表面に平行な方向で、かつ、振動方向(Y方向)に垂直な方向にヨーQが発生すると、梁構造体81、82の質量部86に対し基板の表面に垂直な方向のコリオリ力が生じる(図29参照)。コリオリ力によって梁構造体81、82の質量部86が変位したのを静電容量C₀の変化として検出する。

【0100】ここで、コリオリ力f_cは梁構造体81、82の質量部86の質量m、振動の速度V、ヨーQに依存し、以下の式で表される。

$$f_c = 2mVQ \dots (1)$$

基板表面に平行な方向の振動において梁構造体81、82の質量部86の速度は固定端側では「0」、中心で最大となることから、コリオリ力も同様となり図33に示すように、基板の表面に垂直な方向の変位も固定端側では「0」、中心で最大となって梁構造体81、82の質量部86は楕円を描く。ここで、梁構造体81、82の質量部86(即ち、2つの質量部86)は振動の位相を180度ずらすことにより、変位方向が逆となり差動検出が可能となる。梁構造体81、82の質量部86が単独であると(差動励振を行わないと)コリオリ力と振動その他による加速度が分離できないが、差動検出を行うことで加速度によるノイズ成分をキャンセルできる。一般にコリオリ力は微小であるため共振の効果を利用する。具体的には(1)式に示した速度Vを大きくするために梁構造体81、82の質量部86の励振(基板の表面に平行な方向)を共振周波数とし振幅を大きくする。ここで、コリオリ力は振動と同周期で発生するので検出(基板の表面に垂直な)方向も励振と等しい共振周波数とすれば、コリオリ力による変位も増大させることができる。

【0101】ここで、コリオリ力によるギャップ変化によりそれぞれの静電容量が図33のように、一方が「C₀+ΔC」、他方が「C₀-ΔC」になったとすると、コリオリ力によるギャップ変化が初期値に比べ十分小さければ、差動検出によりコリオリ力f_cは、
 $f_c \propto 2\Delta C$
 となり、ヨーQは、
 $Q \propto 2\Delta C$

(14)

特開平 9-211022

25

26

として、2つの静電容量の変化分から、ヨーを検出することができる。

【0102】このヨーレートセンサの製造方法は、第1、2の実施の形態と同様の方法で作成することができる。このように、本実施の形態は、下記の特徴を有する。

【0103】基板80の上面部に、下層側絶縁体薄膜97と導電性薄膜98と上層側絶縁体薄膜99との積層体100を配置し、導電性薄膜98により下部電極（力学量検出用固定電極）101（102）および下部電極の配線パターン103（104）を形成し、上層側絶縁体薄膜99における開口部109から配線パターン103（104）を通して下部電極101（102）を基板80の上の電極取出部（電気接続部材）105（106）に対し電気的に接続した。このように、基板80の上面部に絶縁膜を配置し、その中に薄膜の下部電極（力学量検出用固定電極）および配線パターンを埋設することにより、絶縁体分離による配線または電極を形成でき、図48に示す不純物拡散層181を用いた場合（pn接合分離による場合）に比べ、接合リークの低減を図ることができる。特に、高温域における接合リークの低減を図ることができる。

【0104】このように、基板側の下部電極101、102およびその配線として埋め込みの薄膜（ポリシリコン層）を用いたSOI基板（埋め込みSOI基板）を用いることで、絶縁体分離による電極およびその配線を形成できる。

【0105】この発明は上記各実施の形態に限定されるものではなく、例えば、上記実施例では、静電サーボ方式を用いて加速度を検出したが（加速度による変位に対して電圧を印加して変位しないような静電気力を印加することによって検出したが）、変位を直接容量変化として検出するセンサに具体化してもよい。

【0106】又、加速度、ヨーレートの他にも、振動等の力学量を検出する半導体力学量センサに具体化できる。

【図面の簡単な説明】

【図1】 第1の実施の形態の加速度センサを示す平面図。

【図2】 図1のII-II断面図。

【図3】 図1のIII-III断面図。

【図4】 図1のIV-IV断面図。

【図5】 図1のV-V断面図。

【図6】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図7】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図8】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図9】 第1の実施の形態の加速度センサの製造方法

を示す断面図。

【図10】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図11】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図12】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図13】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図14】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図15】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図16】 第1の実施の形態の加速度センサの製造方法を示す断面図。

【図17】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図18】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図19】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図20】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図21】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図22】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図23】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図24】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図25】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図26】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図27】 第2の実施の形態の加速度センサの製造方法を示す断面図。

【図28】 第3の実施の形態の加速度センサの平面図。

【図29】 第4の実施の形態のヨーレートセンサの平面図。

【図30】 図29のXXX-XXX断面図。

【図31】 図29のXXXI-XXXI断面図。

【図32】 図29のXXXII-XXXII断面図（ $Q=0$ の場合）。

【図33】 第4の実施の形態のヨーレートセンサの作用を説明するための断面図（ $Q \neq 0$ の場合）。

【図34】 従来の加速度センサを示す平面図。

【図35】 図34のXXXIV-XXXV断面図。

【図36】 図34のXXXVI-XXXVI断面図。

(15)

特開平9-211022

27

28

【図37】 従来の加速度センサの製造方法を示す断面図。

【図38】 従来の加速度センサの製造方法を示す断面図。

【図39】 従来の加速度センサを示す平面図。

【図40】 図39のXXXX-XXXX断面図。

【図41】 図39のXXXXI-XXXXI断面図。

【図42】 従来の加速度センサの製造方法を示す断面図。

【図43】 従来の加速度センサの製造方法を示す断面図。 10

【図44】 従来の加速度センサの製造方法を示す断面図。

【図45】 従来の加速度センサの製造方法を示す断面図。

【図46】 従来の加速度センサの製造方法を示す断面図。

【図47】 加速度センサの平面図。

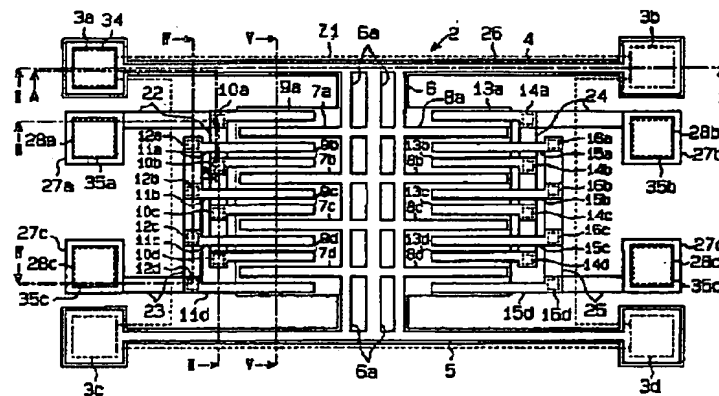
【図48】 図47のXXXVIII-XXXVIII断面図。

【符号の説明】

1…基板、2…電気接続部材としての梁構造体、7a、7b、7c、7d…可動電極、8a、8b、8c、8d…可動電極、9a、9b、9c、9d…第1の固定電極、10a、10b、10c、10d…アンカー部、11a、11b、11c、11d…第2の固定電極、12a、12b、12c、12d…アンカー部、13a、13b、13c、13d…第1の固定電極、14a、14b、14c、14d…アンカー部、15a、15b、15c、15d…第2の固定電極、16a、16b、16c、16d…アンカー部、17…半導体基板としてのシリコン基板、18…下層側絶縁体薄膜、19…導電性薄

膜、20…上層側絶縁体薄膜、21…積層体、22、23、24、25…配線パターン、26…静電気力相殺用固定電極としての下部電極、27a、27b、27c、27d…電気接続部材としての電極取出部、29a、29b、29c、29d…開口部、31a、31b、31c、31d…開口部、32…開口部、33…開口部、40…第1の半導体基板としての単結晶シリコン基板、41…犠牲層用薄膜としてのシリコン酸化膜、43…第1の絶縁体薄膜としてのシリコン窒化膜、44a、44b、44c、44d…開口部、45…導電性薄膜としてのポリシリコン薄膜、46…第2の絶縁体薄膜としてのシリコン酸化膜、46…貼合用薄膜としてのポリシリコン薄膜、48…第2の半導体基板としての単結晶シリコン基板、49…溝パターン（溝）、60…第1の半導体基板としてのシリコン基板、61…溝パターン（溝）、62…犠牲層用薄膜としてのシリコン酸化膜、64…第1の絶縁体薄膜としてのシリコン窒化膜、65a、65b、65c…開口部、66…導電性薄膜としてのポリシリコン薄膜、67…第2の絶縁体薄膜としてのシリコン酸化膜、68…貼合用薄膜としてのポリシリコン薄膜、69…第2の半導体基板としての単結晶シリコン基板、80…基板、81…梁構造体、82…梁構造体、87…第1の可動電極としての励振用可動電極、88…第2の可動電極としての励振用可動電極、90…第1の励振用固定電極としての櫛歯電極、91…第2の励振用固定電極としての櫛歯電極、97…下層側絶縁体薄膜、98…導電性薄膜、99…上層側絶縁体薄膜、100…積層体、101…下部電極、102…下部電極、103…配線パターン、104…配線パターン、105…電気接続部材としての電極取出部、106…電気接続部材としての電極取出部、109…開口部。

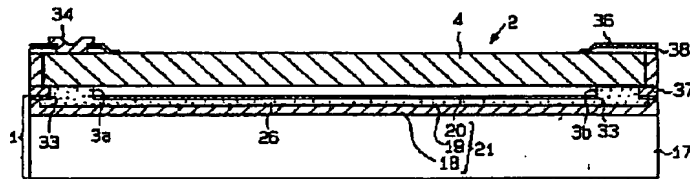
【図1】



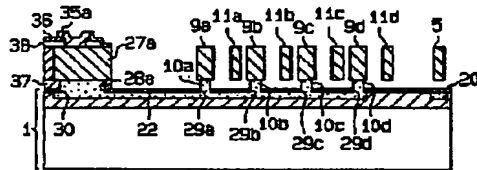
(16)

特開平 9-211022

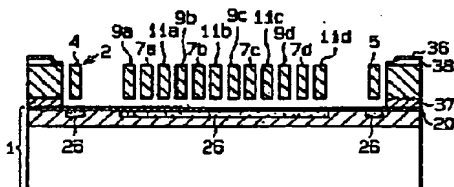
【図 2】



【図 3】



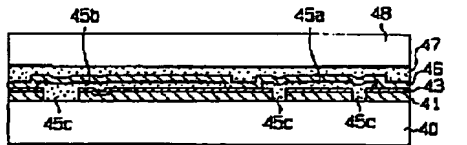
【図 5】



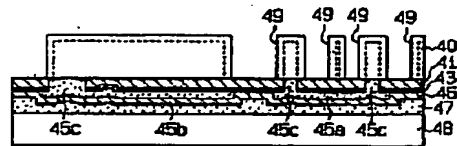
(17)

特開平 9-211022

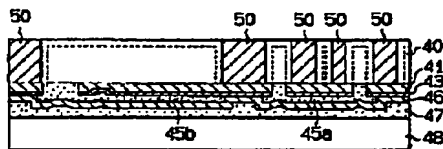
【図 11】



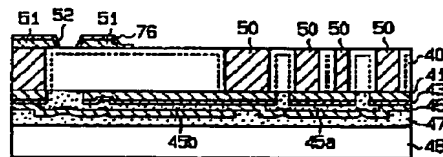
【図 12】



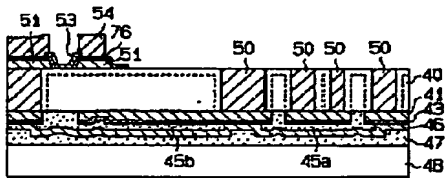
【図 13】



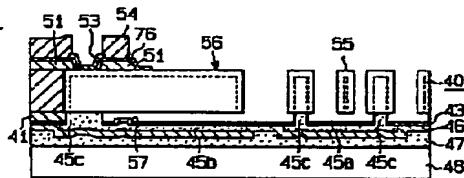
【図 14】



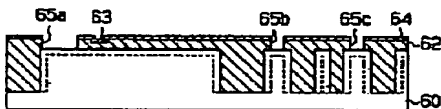
【図 15】



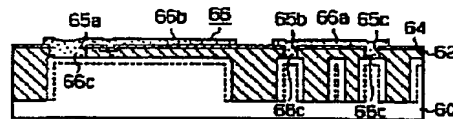
【図 16】



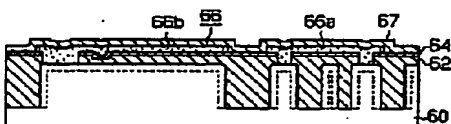
【図 19】



【図 20】



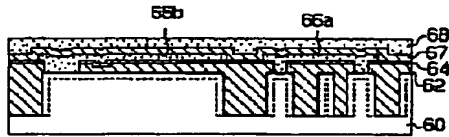
【図 21】



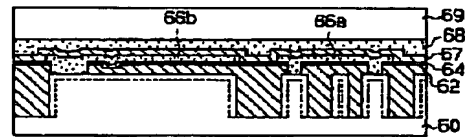
(18)

特開平 9-211022

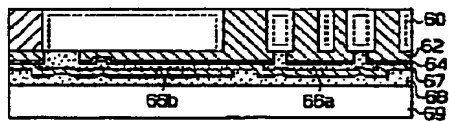
【図 22】



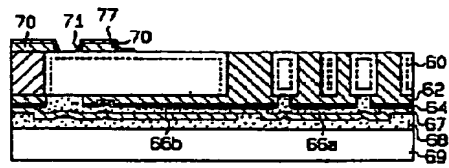
【図 23】



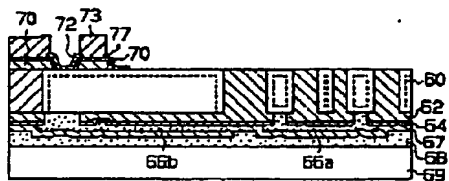
【図 24】



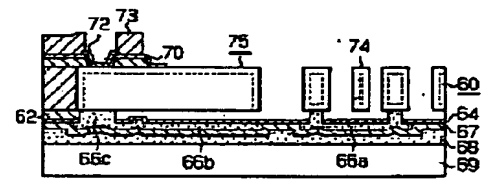
【図 25】



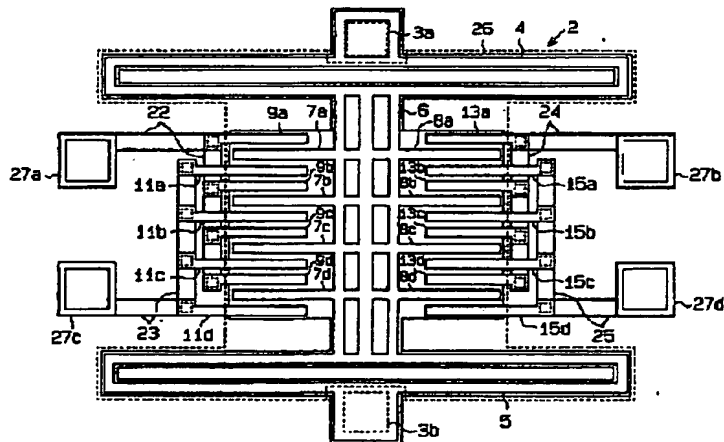
【図 26】



【図 27】



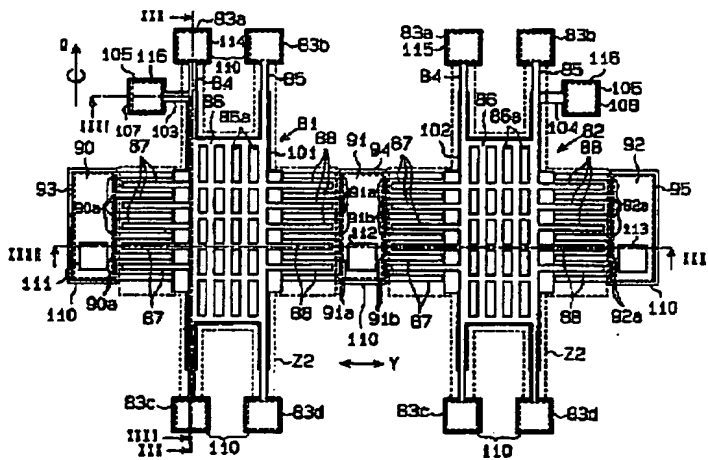
【図 28】



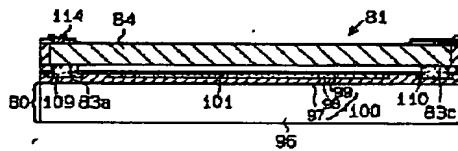
(19)

特開平9-211022

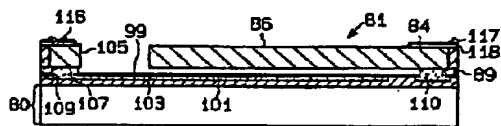
【圖 29】



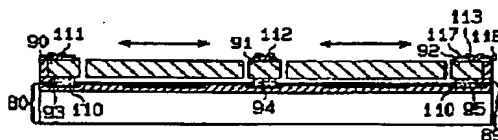
【圖 30】



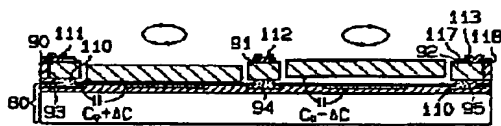
【图 3 1】



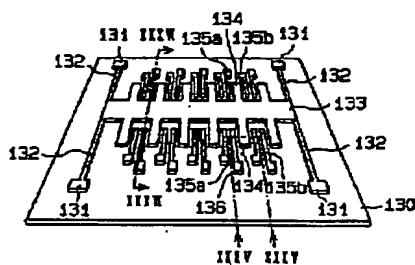
【图 3 2】



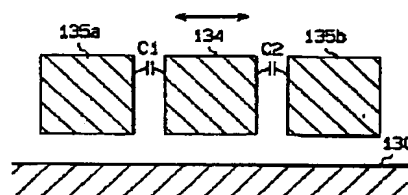
【例 3 3】



【图 3 4】



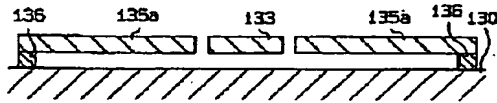
【图 3 5】



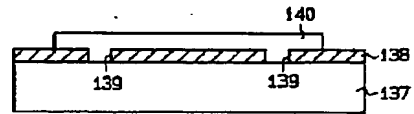
(20)

特開平9-211022

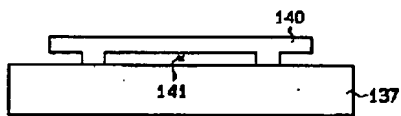
【図36】



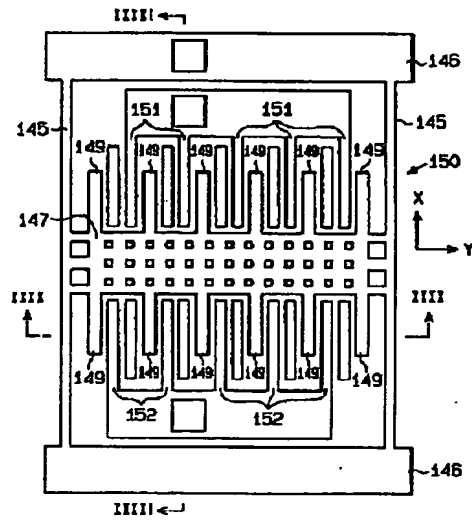
【図37】



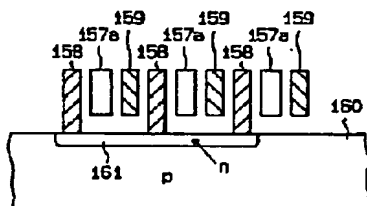
【図38】



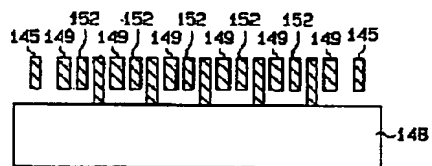
【図39】



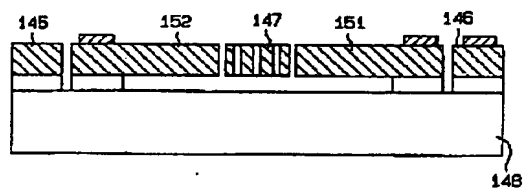
【図48】



【図40】



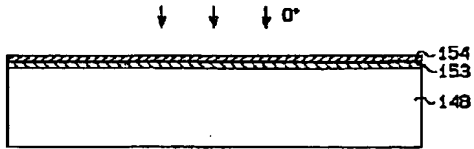
【図41】



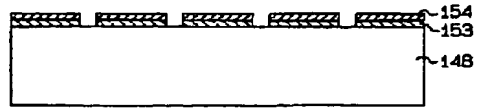
(21)

特開平 9-211022

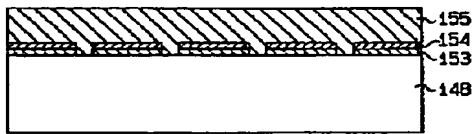
【図 4 2】



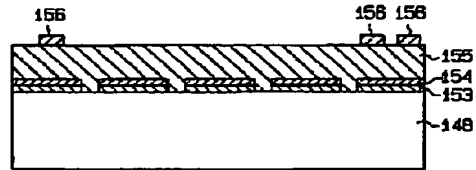
【図 4 3】



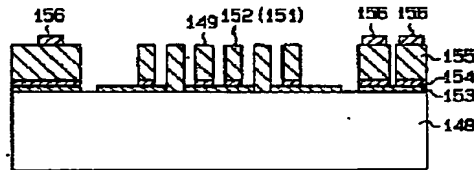
【図 4 4】



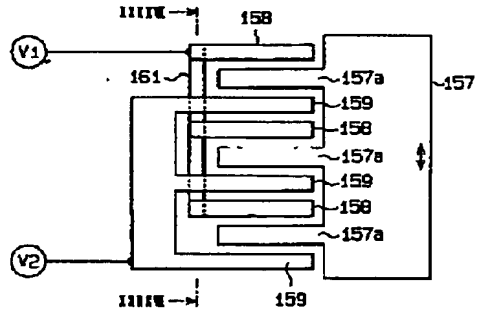
【図 4 5】



【図 4 6】



【図 4 7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.